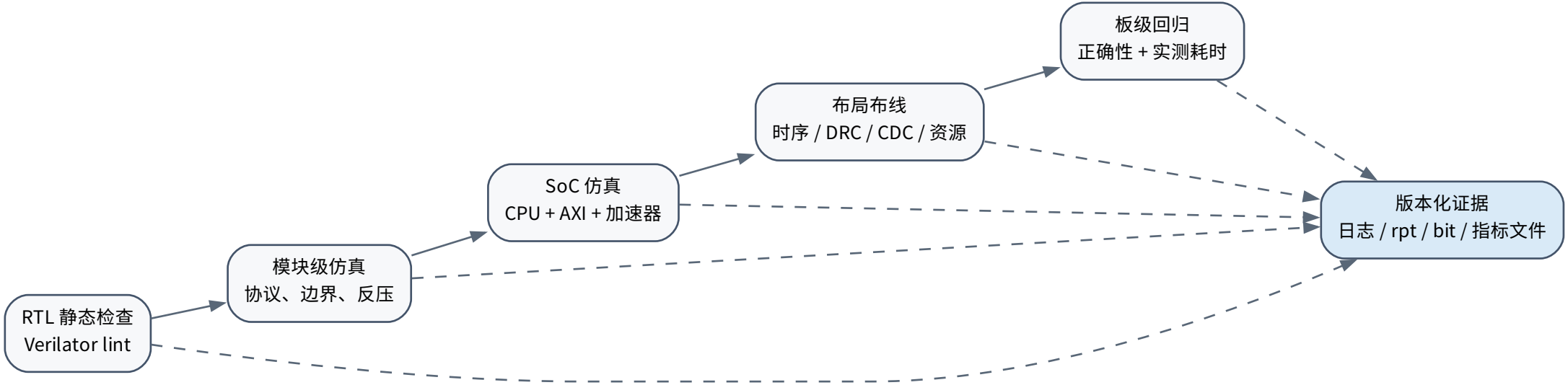
RTL 静态检查
Verilator lint
模块级仿真
协议、边界、反压
SoC 仿真
CPU + AXI + 加速器
布局布线
时序 / DRC / CDC / 资源
板级回归
正确性 + 实测耗时
版本化证据
日志 / rpt / bit / 指标文件